

報告番号	※甲	第	号
------	----	---	---

主 論 文 の 要 旨

論文題目 小面積並列乗算器の構成法に関する研究

氏 名 川島 裕崇

論 文 内 容 の 要 旨

半導体設計製造技術の進展により、VLSIの集積度はますます向上し多くの機能が1つのチップ上に搭載されるようになってきている。乗算は多くのアプリケーションで用いられる基本的な算術演算の一つである。現在では多くのプロセッサや専用回路では並列乗算器によって乗算を行い、乗算命令を高速に実行している。並列乗算器を搭載していないプロセッサでは、乗算命令は加算などの繰り返しによって実現されるが、乗算命令の実行時間が非常に長くなる。近年では大規模な汎用プロセッサのみではなく、多くの組み込み機器用プロセッサや特定用途向け集積回路でも並列乗算器が搭載されている。並列乗算器を搭載することにより、1サイクルから数サイクル程度で乗算命令を実行できるようになる。

加算器、乗算器などの算術演算回路は、回路の構成法によって性能が大きく異なる。そのため、演算の種類ごとに多くの構成法が研究され、実用化されている。並列乗算器では、性能を向上させるために、主に遅延時間の削減を目的とした研究が多く行われてきた。一方、並列乗算器は加算器や論理演算回路などと比較して回路規模が大きくなる。組み込み機器用プロセッサなどの小規模なプロセッサでは、キャッシュ等の回路面積の大きいリソースを搭載していない場合が多く、並列乗算器の占める面積の割合が大きい傾向にある。また、高い性能が求められるシステムでは、GPUなどのメニーコアデバイスが利用され始めている。このようなデバイスでは高い演算性能を持つ多数のコアが実装されており、回路面積の点で並列乗算器の占める割合が大きくなる。このような並列乗算器の面積の占める割合が大きいようなハードウェアでは、並列乗算器を小面積化することによる全体の面積へのインパクトが大きいと考えられる。本論文では、小面積な並列乗算器の構成法として、Karatsubaアルゴリズムに基づく並列乗算器とオペランドの和を用いた部分積生成法に基づく並列乗算器を提案する。

Karatsuba アルゴリズムに基づく小面積並列乗算器の構成法では、Karatsuba アルゴリズムを並列乗算器に適用した場合に効率の良い構成法を示す。Karatsuba アルゴリズムは乗算の乗数、被乗数を上位ビット、下位ビットに分割し、それぞれの乗算結果の統合方法を工夫することにより、乗算全体の演算量を削減する。Karatsuba アルゴリズムは、ソフトウェアでは多倍長乗算を行うために用いられることが多い。Karatsuba アルゴリズムを用いると少ないセル数で並列乗算器を構成できる。本論文では、Karatsuba アルゴリズムに並列乗算器に適用するのに適した変更を加えた。Karatsuba アルゴリズムに基づく並列乗算器を設計し評価したところ、既存の並列乗算器と比較して入力ビット幅が32ビットの場合は約10%、64ビットの場合は約25%小面積となった。また、Karatsuba アルゴリズムを用いて小面積な並列乗算器構成する場合、有効である入力ビット幅について検討し、考察を行った。0.35 μ m から90nm のプロセスで検討したところ、Karatsuba アルゴリズムは入力のビット幅が18ビットから36ビットでは1回適用することが有効であり、それ以上では2回適用することが有効であることがわかった。

次にオペランドの和を利用した部分積生成法に基づく並列乗算器を提案する。部分積をオペランドの和を用いて表現する事によって、部分積のビット数を約半分に削減する。部分積のビット数を削減することにより、部分積の加算回路を小面積化できるため、乗算器全体の面積を削減することができる。本論文では部分積が生成される順序に合わせて部分積の配置と部分積加算回路の構成を工夫することにより、小面積な構成でも高速に乗算を行うことを可能にした。また、オペランドの加算を並列化することで部分積生成を高速化している。提案した部分積生成法を用いた並列乗算器は、従来の並列乗算器と比較して32ビットで約30%、64ビットで約35%小面積となった。

従来の半導体製造プロセスでは配線のためのリソースが限られていたため、小面積な並列乗算器を構成するためには、素子面積が小さくかつ配線が容易な構成法を選択することが有効と考えられてきた。一方、半導体製造技術の進歩により近年の半導体製造プロセスでは、十分な配線のためのリソースが与えられるようになってきた。本研究の成果は、配線の容易さよりも素子面積を優先して設計することにより、小面積な並列乗算器を設計可能であることを示している。