

報告番号	※甲	第	号
------	----	---	---

主 論 文 の 要 旨

論文題目 並列乗算器のテストに関する研究

氏 名 鬼頭 信貴

論 文 内 容 の 要 旨

VLSI 製造技術および設計技術の進展により、VLSI チップ上に集積される回路がますます大規模化している。VLSI チップのテストに要するコストが増大しており、テストの容易化は重要となっている。本論文は、データパス回路において多く用いられる並列乗算器のテストについて、その研究の成果をまとめたものである。本論文では、これまで知られていなかった、乗算器のビット幅に依存せず定数個のテストパターンでテストできる (C テスト可能) 高速なツリー型乗算器の構成法を示す。さらに、C テスト可能な種々の乗算器を構成する手法を示す。また、上述の構成法で対象外とした乗算器を含め、桁上げ保存加算器で構成したあらゆる乗算器が、若干の回路の付加により、回路の段数に比例する個数のパターンでテストできる (レベルテスト可能) ことを明らかにする。本論文で得られた乗算器のテストに対する知見が、今後、様々の算術演算回路のためのテスト容易化手法を確立するための基礎となると期待される。また、回路設計において、本論文で示した乗算器や乗算器の設計法を用いることで、VLSI のコストダウンの実現に貢献できるものと期待される。

第1章では、研究の背景、及び、本論文の構成と各章の概要を示す。VLSI のテストコストの低減において、VLSI を構成する回路のテスト容易化やテストに関する性質を明らかにすることの重要性を説明する。そして、乗算器がデータパス回路で用いられ、乗算器のテスト容易化がチップ全体のテスト容易化につながることを説明する。乗算器のテスト容易化について従来の研究を挙げ、研究の現状を整理し、本論文の研究の位置付けを示す。

第2章では、準備として並列乗算器と本研究で用いる故障モデルを説明する。並列乗算器は部分積生成部、部分積加算部、最終加算部の3つの部分で構成されることを説明し、各部の構成を説明する。本論文で扱う故障モデルである、単一セル機

能故障についても説明する。単一セル機能故障の仮定においては、回路をセルを用いて構成し、回路中の高々一つのセルが機能故障を起こすと考える。そして、セルの故障を検出できるようにテスト集合を構成する。この故障モデルがセルのゲートレベルでの実現に依存しないことを説明し、ゲートレベルの故障モデルと比較して高品質なテストが可能であることを説明する。

第3章では、Cテスト可能な4-2加算木を用いた乗算器を示す。これまで、4-2加算木を用いた乗算器をはじめとするツリー型乗算器について、Cテスト可能な構成は知られていなかった。4-2加算木のテストのために交互反転パターンとよぶパターンを提案する。テスト容易な4-2加算木の構成法と、構成した4-2加算木の規則性をいかした再帰的なパターンの設計手法を示す。部分積生成部へ若干の回路を追加することにより、部分積生成部で交互反転パターンを生成できることを示す。提案するパターンの設計法により、乗算器のビット幅に依存せず、14個のパターンで4-2加算木と部分積生成部のテストができることを明らかにする。最終加算器として既存のテスト容易な桁上げ伝搬加算器を構成を用いることで乗算器を構成できることを示す。

第4章では、種々の部分積加算器を構成可能なテスト容易な乗算器の構成法を示す。提案法では3種類の加算器のブロックを組み合わせて部分積加算部を構成する。ブロックの組み合わせ方により、規則正しい回路構造で小面積な配列型乗算器や、高速なツリー型の乗算器を設計できることを示す。提案法により、要求される性能に合わせたテスト容易な乗算器の設計が可能であることを示す。乗算器が演算数のビット幅に関わりなく14個のパターンでテストできることを示す。

第5章では、第4章の手法の対象外になるWallace木を含め、CSAで構成した任意の構造の部分積加算部が、テストのための若干の回路の追加でレベルテスト可能となることを示す。まず、部分積加算部の入出力間のCSAの段数をレベル数 L としたとき、任意の構造の部分積加算部が部分積生成部を含めて高々 $6L+5$ 個のパターンでテストできることを示す。さらに、CSA間の接続に制約を加えると、高々 $2L+9$ 個のパターンでテストできることを示す。従来研究では、Wallace木など、4-2加算木よりレベル数が小さな部分積加算部について、オペランドのサイズとテストに必要なパターン数との間の関係が示されていなかった。本章は、これらの部分積加算部について、オペランドのサイズとテストに必要なパターン数との間の関係をはじめて明らかにする。

第6章では結論を述べる。本論文の研究の成果をまとめ、研究を通して得た並列乗算器のテストに対する知見が、乗算以外の算術演算回路のテスト容易化や、遅延故障等の機能故障を越えた様々な故障に対するテスト手法確立の基礎となると結論付ける。課題、展望についても述べる。